

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-173390

(43)Date of publication of application : 10.07.1989

(51)Int.Cl.

G11C 11/34

(21)Application number : 62-330066

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 28.12.1987

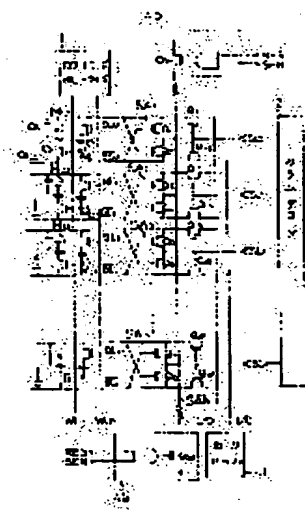
(72)Inventor : TSUCHIDA KENJI

(54) SEMICONDUCTOR STORAGE

(57)Abstract:

PURPOSE: To decrease the clamp potential of a common source wiring, simultaneously decrease a constant at a discharging time constant and to shorten the sense time of a column bar pattern by dividing and arranging a sense amplifier driving circuit in the both edge parts of the common source wiring.

CONSTITUTION: In the both edges of a common source wiring the inverse of SAN of a bit line sense amplifier SA which is arranged along a core circuit, sense amplifier driving circuits 4a and 4b are provided and controlled by a low block selecting signal RBS and a sense amplifier activating signal SEN. A word line WL0 is selected and only a first column is caused to be '0'. Then, when a sense is started, the driving circuits 4a and 4b are simultaneously operated and the both edges of the common source wiring the inverse of SAN are linked to a VSS. Accordingly, transistors Q4, Q6...Q8 after an SA2 are turned on and the charge of a bit line is discharged in the two directions of the inverse of SAN. Accordingly, the resistance value of the wiring the inverse of SAN goes to be 1/2 of the conventional value and the clamp potential falls down. Then, the discharging constant is decreased and a sense amplifier transistor Q1 in the column of '0' data is turned on with a rapid timing.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A)

平1-173390

⑬ Int. Cl.⁴

G 11 C 11/34

識別記号

3 5 3

庁内整理番号

E-8522-5B

⑭ 公開 平成1年(1989)7月10日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 半導体記憶装置

⑯ 特 願 昭62-330066

⑰ 出 願 昭62(1987)12月28日

⑱ 発 明 者 土 田 賢 二 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合
研究所内

⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑳ 代 理 人 弁理士 鈴江 武彦 外2名

明 細 書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

1 トランジスタ/1キャパシタからなるメモリセルを配列したメモリアレイと、このメモリアレイの複数のビット線対にそれぞれ設けられたダイナミック型センスアンプと、このセンスアンプ列をその共通ソース配線をプリチャージ電位から引下げることにより活性化するセンスアンプ駆動回路とを有する半導体記憶装置において、前記センスアンプ駆動回路は前記共通ソース配線の両端部に分割配置したことを特徴とする半導体記憶装置。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

本発明は、半導体記憶装置に係り、特に1トランジスタ/1キャパシタからなるメモリセルを用いたダイナミック型RAM(DRAM)に関する。

(従来の技術)

MOSトランジスタを集積した半導体記憶装置の中で、DRAMは、メモリセル占有面積が小さいため高集積化に最も適している。最近、最小加工寸法1 μ m以下の4MビットDRAMが国内外で発表され、その量産も近い。このような高集積化DRAMにおいて、微細化によるMOSトランジスタのスウィッチング速度の向上のみで高速性を追求することは限界にきており、一層の高速性に対する要求が強い。

DRAMの高速化にとって大きい障害になっているものの一つに、セル・データを検出増幅するセンスアンプのセンス時間がある。センス時間は、メモリアレイに書き込んだデータ・パターンに大きく影響され、最もセンス時間が長くなるデータ・パターンによってアクセス・タイムが規定される。この事情を以下に図面を用いて説明する。

第3図は、DRAMのセンスアンプを中心としたコア回路部の構成を示している。ビット線対BL, \overline{BL} (BL₀, \overline{BL}_0 , BL₁, \overline{BL}_1 ,

…とワード線 $WL(WL_0, WL_1, …)$ が交差配設されて、その各交差位置にメモリセル $M(M_{11}, M_{12}, …)$ が配置されている。1は、ロウ・デコーダ及びワード線駆動回路である。各ビット線対 BL, \overline{BL} には、MOSトランジスタ $(Q_1, Q_2), (Q_3, Q_4), …$ からなるダイナミック型センスアンプ $SA(SA_1, SA_2, …)$ が接続されている。各ビット線対 BL, \overline{BL} はまた、MOSトランジスタ $(Q_{11}, Q_{12}), (Q_{13}, Q_{14}), …$ からなるカラム選択ゲートを介して入出力線 $I/O, \overline{I/O}$ に接続されている。2は、カラム・デコーダであり、その出力につながるカラム選択線 $CSL_0, CSL_1, …$ によりカラム選択ゲートが駆動される。入出力線 $I/O, \overline{I/O}$ は出力バッファ3に接続されている。ビット線センスアンプ SA 列のMOSトランジスタの共通ソース配線 \overline{SAN} は、センスアンプを活性化するためのセンスアンプ駆動回路4に接続されている。センスアンプ駆動回路4の主要構成要素は、ロウ・ブロック選択信号

$BL_2 = … = BL_n = 2.66V$ である。残りのビット線は全て $2.5V$ である。次にロウ・アドレスにより決定されるロウ・ブロック選択信号 RBS とセンスアンプ活性化信号 SEN によりセンスアンプ駆動回路4が動作すると、センスアンプ列の共通ソース配線 \overline{SAN} が低電位に引下げられ、センスが開始される。センスアンプ SA を構成するMOSトランジスタ $Q_1 \sim Q_8$ のしきい値を例えば $1V$ とすると、共通ソース配線 \overline{SAN} の電位がプリチャージ電位 $(1/2)V_{cc} = 2.5V$ から下がって $1.66V$ となった時にまず、カラム選択線 $CSL_1, CSL_2, …, CSL_n$ で選ばれべきカラムのセンスアンプ $SA_2, SA_3, …$ のMOSトランジスタ $Q_4, Q_6, …, Q_8$ がオンになる。この結果、これらのMOSトランジスタを介して“1”データのビット線 \overline{BL} の電荷が放電し始める。ところがこのとき、第2図に破線で示したように、共通ソース配線 \overline{SAN} の電位はある値にクランプされたように暫くの時間保たれる。その間、“0”データのビット線のMOS

RBS とセンスアンプ活性化信号 SEN の論理積によって選択されてオンとなる活性化用MOSトランジスタ Q_9 であり、これが共通ソース配線 \overline{SAN} をプリチャージ電位から接地電位に引下げる働きをする。

このようなDRAM構成において、センス時間が最も長くなるのは、ロウ・アドレスにより選択されたワード線(例えば WL_0)に沿うデータが、一つのカラムのみ“0”で残りのカラムが全て“1”である場合である。第3図では、カラム選択線 CSL_0 で選択されるカラムのデータが“0”で他のカラムのデータが全て“1”である場合を示している。このようなデータ・パターンはカラム・バー・パターンと称される。いま、ビット線 BL, \overline{BL} の容量を $C_B = 600fF$ 、メモリセル容量を $C_S = 40fF$ とし、電源を $V_{cc} = 5V$ として、 $(1/2)V_{cc}$ ビット線プリチャージ方式を用いるとする。このとき、一方のワード線 WL_0 が選択された直後のビット線電位は、 $BL_0 = 2.34V$ であり、 $BL_1 =$

トランジスタ Q_1 はオンになることができず、このカラムのセンスが大きく遅れる。これはより具体的には、次のような理由による。共通ソース配線 \overline{SAN} は、ワード線方向に長いコイル回路を走って配設されるため、第3図に示した配線抵抗 R_1 が比較的大きい値をもつ。また、 V_{ss} 電源線にも配線抵抗 R_2 が存在する。これらの配線抵抗を介して、先に説明したように多数のビット線の容量を放電するため、その放電時定数はかなり大きいものとなる。そしてこの際、ビット線センスアンプ SA のオンとなったMOSトランジスタのオン抵抗が、共通ソース配線 \overline{SAN} の電位変化に対応してダイナミックに変化する結果、放電電流が次第に大きくなる。これらの効果として、共通ソース配線 \overline{SAN} の電位があたかもクランプされたような状態になる。この状態を脱して初めて、“0”読出しのカラムのセンスアンプ SA_1 のトランジスタ Q_1 はオンになる。

こうして、カラム・バー・パターンの場合には、“0”読出しカラムのセンスが“1”読出しカラム

ムのそれに比べて大幅に遅れる。このため、カラム選択線を駆動するタイミングは、予めプリチャージされた入出力線のデータによりビット線データを破壊されるのを防止する必要性から、“0”読出しのカラムのセンスが十分に行われた時点まで待たなければならない。

(発明が解決しようとする問題点)

以上のように従来の高集積化したDRAMでは、データ・パターンによってセンス時間が異なり、特にカラム・バー・パターンのセンス時間が長くなる。従ってカラム・バー・パターンの場合のセンス時間を考慮してビット線と入出力線を接続する選択ゲートを制御する必要がある、これがDRAMのアクセス時間の短縮にとって大きい障害となっていた。

本発明は、この様な問題を解決したDRAMを提供することを目的とする。

[発明の構成]

(問題点を解決するための手段)

本発明にかかるDRAMは、センスアンプ列

路に沿って配設されたビット線センスアンプSAの共通ソース配線SANの両端にそれぞれセンスアンプ駆動回路4a、4bを設けていることである。これら二つのセンスアンプ駆動回路4a、4bは同時に、ロウ・ブロック選択信号RBS及びセンスアンプ活性化信号SENにより制御される。

この様な構成として、カラム・バー・パターンのデータ読出しを行なう場合の動作を次に説明する。動作波形は第2図に実線で示す。従来例で説明したと同様、例えばワード線WL₀が選択され、最初のカラムのみ“0”データで残りのカラムが全て“1”であるとする。センスが開始されると、この実施例では二つのセンスアンプ駆動回路4a、4bが同時に働いて共通ソース配線SANの両端がV_{ss}電源線に接続される。従って、センスアンプSA₂、SA₃、…のトランジスタQ₄、Q₆、…、Q₈がオンして、これらがつながるビット線の電荷は共通ソース配線SANの二方向に放電する。このため、共通ソース配線SANの抵

の共通ソース配線の電位をプリチャージ電位から引下げるためのセンスアンプ駆動回路を、共通ソース配線の両端(即ちメモリアレイの両側)に分割して配置したことを特徴とする。

(作用)

本発明の構成とすれば、ビット線からV_{ss}電源線に至る放電電流パスを二方向に設けることにより、ビット線センスアンプの共通ソース配線の抵抗を等価的に半減させることができる。この結果、共通ソース配線の前述したクランプ電位を下げることができ、同時に放電時定数を小さくすることができ、カラム・バー・パターンのセンス時間の短縮が可能になる。

(実施例)

以下、本発明の実施例を説明する。

第1図は、一実施例のDRAMのコア部の構成を示す。第3図と対応する部分には第3図と同一符号を付して詳細な説明は省略する。メモリアレイ及びその周辺回路の基本構成は、従来と同様である。従来と異なる点は、図示のようにコア回

路は等価的に従来の約1/2になり、第2図に示したようにクランプ電位は低くなる。また放電時定数も従来より小さくなる。この結果、“0”データのカラムのセンスアンプ・トランジスタQ₁は速いタイミングでオンになる。

以上のようにこの実施例によれば、センス時間の大幅な短縮が可能となり、従ってアクセス時間の短縮が図られる。前述した共通ソース配線SANのクランプ電位を下げる手段として、本発明の他にも例えば、①センスアンプ・トランジスタのオン抵抗を大きくする、②センスアンプ駆動回路内のセンスアンプ活性化用トランジスタのオン抵抗を小さくする、③共通ソース配線SAN及びV_{ss}電源線の抵抗を小さくする、等が考えられる。しかし、①はクランプ電位は下がるが、ビット線の放電時間が長くなるため得策でない。②は、クランプ電位の低下にはそれ程効果はなく、また余りこのトランジスタのオン抵抗を小さくすると、ピーク電流の増大によるノイズの影響が大きくなる、という難点がある。③は、配線幅の増

大により対応しようとする、チップ面積の大幅な増大をもたらす。本発明は、このような難点をもたらすことなく、効果的にセンス時間の短縮を可能とする。

〔発明の効果〕

以上述べたように本発明によれば、センスアンプ駆動回路を分割配置することによって、高集積化したD R A Mのセンス時間を効果的に短縮することができ、高速のD R A Mを実現することができる。

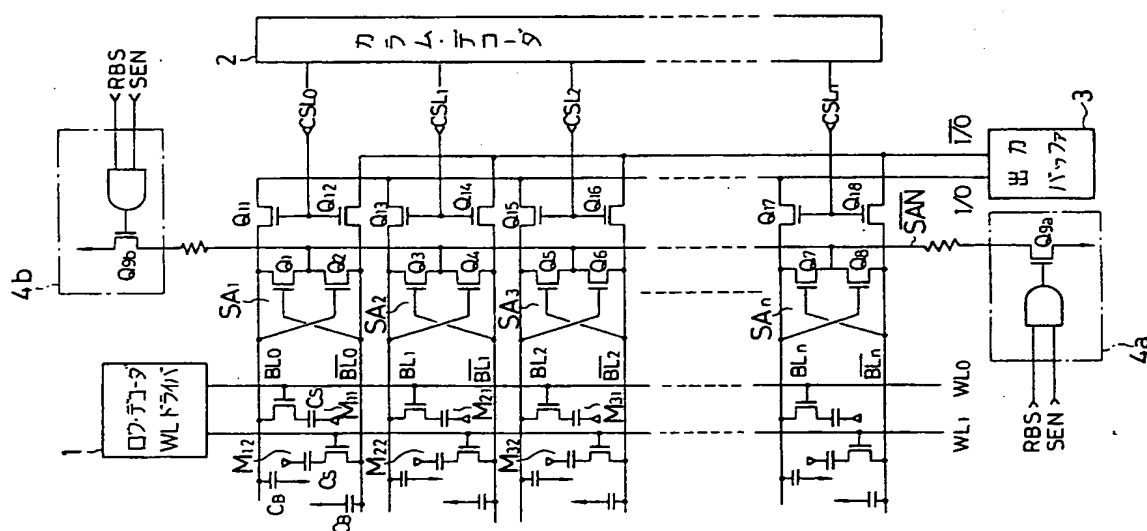
4. 図面の簡単な説明

第1図は、本発明の一実施例のD R A Mのコア回路部の構成を示す図、第2図はその動作を説明するための波形図、第3図は従来のD R A Mのコア回路部の構成を示す図である。

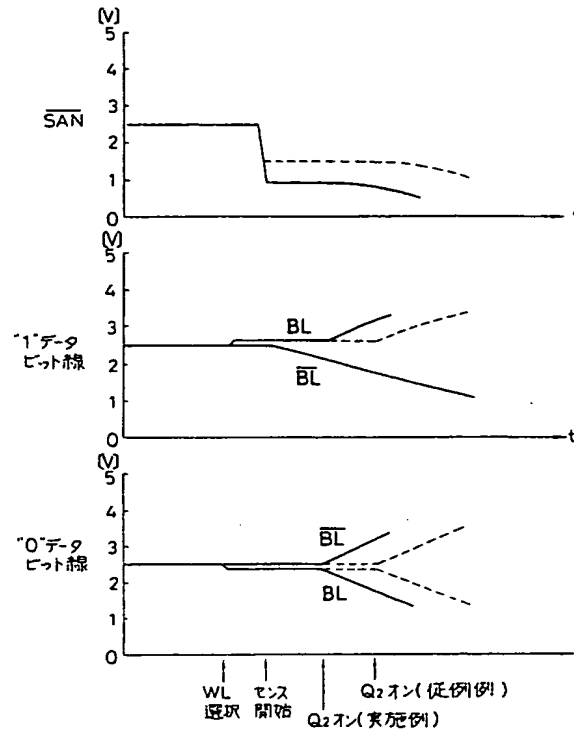
M (M₁₁, M₁₂, ...)…メモリセル、S A (S A₁, S A₂, ...)…ダイナミック型センスアンプ、S A N…共通ソース配線、1…ロウ・デコード/ワード線駆動回路、2…カラム・デコード、3…入出力バッファ、4 a, 4 b…センスア

ンプ駆動回路。

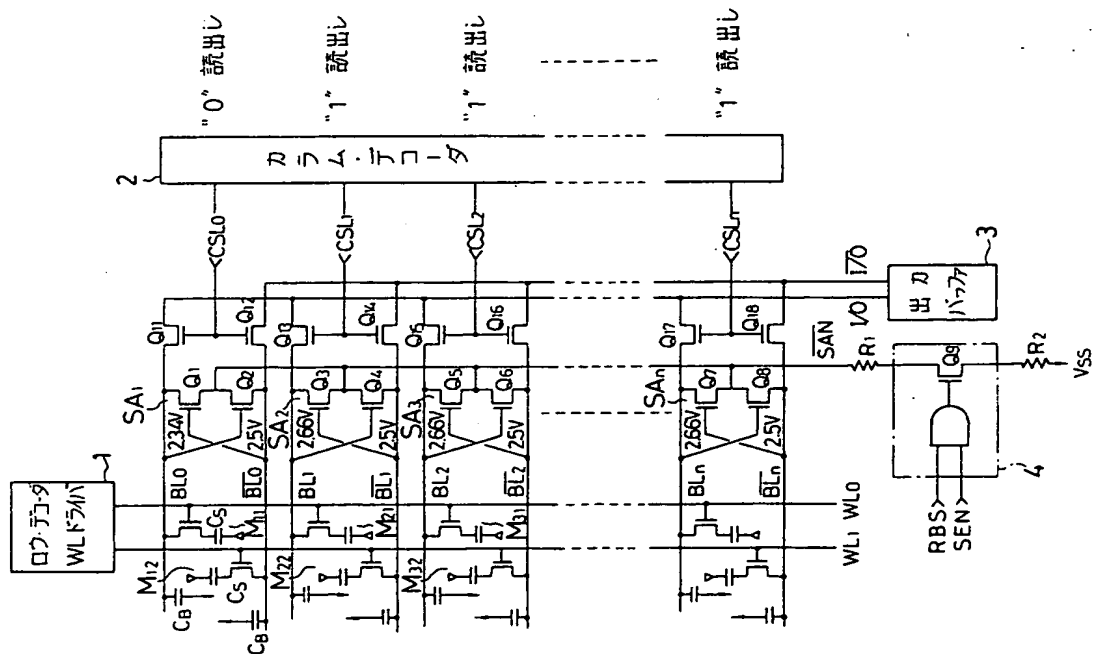
出願人代理人 弁理士 鈴江武彦



第1図



第 2 図



第 3 図

THIS PAGE BLANK (USPTO)